rmodo

XD-LAB-IMG-005

Lab5: 图像处理滤波器实验 2: 排序滤波

Joseph Xu

2019-2-14

修改记录

版本号.	作者	描述	修改日期
1.0	Joseph Xu	初稿	2018-4-27
1.2	Joseph Xu	文档图片微调	2019-2-14

审核记录

姓名	职务	签字	日期

	标题	文档编号	版本	页
vinence	Lab5: 图像处理滤波器实验 2	XD-LAB-IMG-005	1.2	1 of 20
XIIIGDEIIG	作者	修改日期		· · · · ·
	Joseph Xu	2019/2/14		公开
-				

Copyright $\ensuremath{\mathbb{C}}$ 2019 XingDeng, Inc. All rights reserved.

目录

修改	文记录	.1
审核	亥记录	1
1.	实验简介	5
	1.1 概述	5
	1.2 实验目标	5
	1.3 实验条件	5
	1.4 实验原理	6
2.	排序滤波实验流程	.8
	2.1 操作步骤	.8
3.	排序滤波实验结果	20

	标题	文档编号	版本	页
xingdeng	Lab5: 图像处理滤波器实验2	XD-LAB-IMG-005	1.2	2 of 20
	作者	修改日期		
	Joseph Xu	2019/2/14		公开

Copyright $\ensuremath{\mathbb{C}}$ 2019 XingDeng, Inc. All rights reserved.

图目录

冬	1-1	实验连接示意图6
冬	1-2	排序滤波连接示意图6
冬	1-3	RankFilter IP7
冬	2-1	复制一个实验 4 副本8
冬	2-2	重命名实验目录8
冬	2-3	启动 Vivado9
冬	2-4	打开工程9
冬	2-5	实验初始视图10
冬	2-6	添加 RankFilter IP10
冬	2-7	添加 Constant IP11
冬	2-8	添加后的 IP 视图11
冬	2-9	二值模板匹配 IP 配置12
冬	2-10	配置排序滤波输入12
冬	2-11	删除均值滤波 IP13
冬	2-12	删除均值滤波 IP 后的视图13
冬	2-13	端口连接检查14
冬	2-14	保存设计14
冬	2-15	创建实验顶层 Wrapper 文件15
冬	2-16	自动更新顶层文件15
冬	2-17	Generate Bitstream15
冬	2-18	点击 Yes 确认生成 bit 文件15
冬	2-19	打开 Hardware Manager16
冬	2-20	硬件连接对应位置17
冬	2-21	实际硬件连接17
冬	2-22	Open target18
冬	2-23	Program Device18
冬	2-24	烧写目标器件19
冬	2-25	编程进度条19
冬	3-1	原始画面20
冬	3-2	排序滤波显示结果

	标题	文档编号	版本	页	
vinence	Lab5: 图像处理滤波器实验2	XD-LAB-IMG-005	1.2	3 of 20	
XIIIGDEIIG	作者	修改日期		11	
	Joseph Xu	2019/2/14		公廾	

表目录

表 1-1	RankFilter IP 端口列表	7
-------	--------------------	---

	标题	文档编号	版本	页
	Lab5: 图像处理滤波器实验2	XD-LAB-IMG-005	1.2	4 of 20
XIIIGDEIIG	作者	修改日期		
	Joseph Xu	2019/2/14		公开

Copyright $\ensuremath{\mathbb{C}}$ 2019 XingDeng, Inc. All rights reserved.

1. 实验简介

该实验通过设定一定尺寸的滑动窗口对图像的像素数据进行平均值计算,从而得到 一个整体平滑的图像,滑动窗口最大为15x15。

对于初学者,整个实验预计耗时1小时。

> 对于进阶者,整个实验预计耗时 10 分钟。

1.1 概述

排序滤波器是一种非线性局部滤波器,它首先将窗口内的每个像素根据色彩的值进 行排序,随后根据所给的序号得出最后的结果。排序滤波器的应用十分广泛,其中 最常用的是中值滤波器,即为序号为窗口总大小的一半时的情况,此时滤波的结果 是原窗口所有像素的中值,除此之外常用的还有极值滤波器,即得出窗口中的极大 值或者极小值。排序滤波器常被用于去除椒盐噪声,或者作为后续处理的预处理, 相比于均值滤波,排序滤波器能够比较好得保留边界特征。

1.2 实验目标

本实验的目标为 SWORD4.0 能够对 HDMI 输入的带有椒盐噪声的图像进行均值滤波 后在显示器上输出无噪声的视频画面。

1.3 实验条件

类别	名称	数量	说明
	SWORD4.0	1	
	HDMI 信号源	1	如笔记本 HDMI 输出/台式计算
硬件			机 HDMI 输出/带 HDMI 输出的 视频机顶盒
	带 HDMI 接口的显示器	1	
	HDMI 视频线	2	
软件	Vivado Design Suite	1	版本: 2014.4
	视频接□ IP 库	1	FPGA-Image-Library.zip*

*注: FPGA-Image-Library 为戴天宇开发的一个开源图像处理 IP 库, 该 IP 库遵循 LGPL, 详情请见: http://fil.dtysky.moe

	标题	文档编号	版本	页
vincence	Lab5: 图像处理滤波器实验 2	XD-LAB-IMG-005	1.2	5 of 20
XIIIGDEIIG	作者	修改日期		
	Joseph Xu	2019/2/14		公开

Copyright $\ensuremath{\mathbb{C}}$ 2019 XingDeng, Inc. All rights reserved.

实验原理 1.4

该实验的连接方式如下图所示:



HDMI信号源A

说明:本实验中HDMI输入视频的分辨率和输出视频的分辨率相同

图 1-1 实验连接示意图

实验利用了1个IP来实现排序滤波:RankFilter。实验IP连接示意图如下图所示:



图 1-2 排序滤波连接示意图

而 RankFilter 这个 IP 的作用是排序滤波器。

	标题	文档编号	版本	页	
vinence	Lab5: 图像处理滤波器实验2	XD-LAB-IMG-005	1.2	6 of 20	
XIIIGDEIIG	作者	修改日期		1 	
	Joseph Xu	2019/2/14		公开	



该 IP 的端口信号定义如下表所示:

表 1-1 RankFilter IP 端口列表

信号名	方向	宽度	含义
clk	输入	1	Clock.
rst_n	输入	1	复位,低有效。
rank	输入	full_win_bits - 1 : 0	输出序号,如果是整个窗口大小的 一半,模块工作为中值滤波器,等 等。
in_enable	输入	1	输入数据使能,在流水线模式下, 它是另一个复位信号,在请求响应 模式下,只有在它有效的时候 in_data 才会被真正地改变。
in data	た 合)	color_width * window_width	输入数据,必须和 in_enable 同步输
in_uata	制八	* window_width - 1 : 0	入。
out_ready	输出	1	输出数据有效,在两种模式下,这 个信号都会在 out_data 可以被读取 的时候有效。
out_data	输出	color_width - 1 : 0	输出数据,将会和 out_ready 同步 输出。

	标题	文档编号	版本	页
vinence	Lab5: 图像处理滤波器实验 2	XD-LAB-IMG-005	1.2	7 of 20
XIIIGDEIIG	作者	修改日期		1.
	Joseph Xu	2019/2/14		公廾

2. 排序滤波实验流程

本章将详细描述如何在 Vivado 2014.4 的环境下完成实验。请耐心阅读,仔细按照图示和文字说明进行操作。

2.1 操作步骤

 由于本实验是在实验 4 的基础上进行扩展,所以我们先将之前的实验部分复制 1
 份,具体做法为在 D:\ImageLabs 文件夹下,将鼠标左键选中 lab4,然后按住 Ctrl 键不放,并拖拽到空白处,这样得到一个 lab4 的副本,如下图所示:



图 2-1 复制一个实验 4 副本

然后将 lab4 的副本重命名为 lab5,如下图所示,至此我们就可以在 lab5 文件 夹里开始我们的实验内容:

	-		×
			~ ?
(D:) → ImageLabs →	✔ ┛ 搜索"ImageLabs"		Q
名称 ^	修改日期	类型	
FPGA-Imaging-Library-Publish	2018/5/9 星期三 17:33	文件夹	
lab1	2018/4/4 星期三 12:06	文件夹	
lab2	2018/4/4 星期三 12:04	文件夹	
lab3	2018/4/18 星期三 11:16	文件夹	
lab4	2018/5/10 星期四 11:35	文件夹	
📙 lab5	2018/5/17 星期四 18:14	文件夹	
labdocs	2018/2/28 星期三 19:12	文件夹	
	2018/5/17 星期四 17:58	文件夹	
source	2018/4/4 星期三 18:17	文件夹	

图 2-2 重命名实验目录

2 接着启动 Vivado 2014.4,在启动界面选择 Open Project,如下图所示:

	标题	文档编号	版本	页
vinceco	Lab5: 图像处理滤波器实验 2	XD-LAB-IMG-005	1.2	8 of 20
XIIIGDEIIG	作者	修改日期		· · · · · ·
	Joseph Xu	2019/2/14		公开

上海星灯智能科技有限公司

Lab5: 图像处理滤波器实验 2

🝌 Vivado 2014.4	– 🗆 ×
Eile Flow Tools Hindow Help	Q~ Search commands
VIVADO. Productivity. Multiplied.	E XILINX AL PROGRAMMABLE.
Quick Start	Recent Projects
Create Hew Project	Later 1. Comparison (and) Later 1. Comparison (and) actual to face, (2010) 1. Comparison (and) 2. Comparison (and) 3. Comparison (and) 4. Comparison (and) 5. Com
Tasks	Recting the contract of the second seco
Manage IP Open Hardware Manager Xilinx Tcl Store	
Information Center	The second second second second
 Image: A state of the state of	 Bench (MM), J. and Y. S. Starter, Nucl 1. Second (M), and Second (Second (Seco
Documentation and Tutorials Quick Take Videos Release Notes Guide	
Tcl Console	_ D & ×
start_gui ip	^ >
Type a Tcl command here	

图 2-3 启动 Vivado

3 然后在选择对话框中,找到之前的 lab5(即 D:\ImageLabs\lab5),然后选择 lab1.xpr 文件,点击 OK,打开工程,整个过程如下图所示:

🚴 Open Proje	d X
Look <u>i</u> n:	📙 lab5 🚽 🚺 🗸 🤌 🕼 😓 💋 🗙 🗐 🗉 🛙
武使用 「 」 「 」 「 」 「 」 面 」 「 」 面 」 面	Iab1.cache Iab1.hw Iab1.ioplanning Iab1.runs Iab1.srcs Iab1.xpr
「「「」」	
此电脑	3
网络	File name: D:/ImageLabs/lab5 OK Files of type: Vivado, PlanAhead, and ISE Project Files (.xpr, ppr, xise) Cancel

图 2-4 打开工程

4 在 Vivado 的主界面,点击 Open Block Design,这时会在主界面右边区域看到之前实验 4 的 IP 结构,如下图所示:

	标题	文档编号	版本	页
vincence	Lab5: 图像处理滤波器实验 2	XD-LAB-IMG-005	1.2	9 of 20
XIIIGDEIIG	作者	修改日期		*
	Joseph Xu	2019/2/14		公开
Convicted © 2010 VincDong lug. All victor reconved				

上海星灯智能科技有限公司

Lab5: 图像处理滤波器实验 2



图 2-5 实验初始视图

5 在此基础上,我们开始添加 IP,点击左边栏的 Add IP 图标,然后在弹出的搜索 框中,输入 Rank,这时能看到搜索结果中有个 RankFilter 的 IP,双击它进行添 加,整个过程如下图所示:



图 2-6 添加 RankFilter IP

6 接着添加一个常数 IP 作为排序滤波的排序输入,点击左边栏的 Add IP 图标,然后在弹出的搜索框中,输入 constant,这时能看到搜索结果中有个 Constant 的 IP,双击它进行添加,整个过程如下图所示:

	标题	文档编号	版本	页
vinence	Lab5: 图像处理滤波器实验 2	XD-LAB-IMG-005	1.2	10 of 20
XIIIGDEIIG	作者	修改日期		11
	Joseph Xu	2019/2/14		公廾

上海星灯智能科技有限公司

Lab5: 图像处理滤波器实验 2



图 2-7 添加 Constant IP

-DD DDC xlconcat_0 rgb2dvi_0 In0[7:0] = RGB In1[7:0] dout[23:0] ▶vid_pData[23:0] vid_pData[: vid_pHSync In2[7:0] -D TMDS_OUT ▶vid pVSvnc TMDS # ► vid_pVDE WindowGenerator_0 MeanFilter_0 aRst n clk rst_n Pi xelC1k clk out ready rst_n out rea out data[71:0] RGB to DVI Video Encoder (Source) (Pre-Production) in_enable in_enable out_data[7:0] input ack in_data[23:0] in data[71:0] Generator v1 0 (Pre-Production) MeanFilter v1 0 (Pre-Production) RankFifter_0 clk rst_n rank[3:0] xlconstant 0 out ready out_data[7:0] dout[0:0] in_enable in_data[71:0] Constant RankFifter_v1_0 (Pre-Production)

7 添加上述 IP 后的视图如下图所示:

图 2-8 添加后的 IP 视图

8 接着对上述 2 个 IP 进行配置:

首先双击 RankFilter_0 这个 IP 进行配置,按照如下参数进行配置:

- Work Mode: Pipeline
- Window Width: 3
- Color Width: 8

确认上述设置后,点击 OK 确定,整个过程如下图所示:

	标题	文档编号	版本	页
vinence	Lab5: 图像处理滤波器实验2	XD-LAB-IMG-005	1.2	11 of 20
XIIIGDEIIG	作者	修改日期		11
	Joseph Xu	2019/2/14		公廾

🗜 Re-customize IP	×
RankFifter_v1_0 (1.0)	4
🖗 Documentation 🚞 IP Location	
Show disabled ports	Component Name RankFifter_0
	Parameters Ports Help Work Mode Pipeline 1 Window Width 3 [2 - 5] Color Width 8 [1 - 12] Sum Stage 2 Full Win Bits 4
clk rst_n out_ready rank[3:0] out_data[7:0] in_enable in_data[71:0]	work_mode: unsigned. Description: This module's working mode. window_width: unsigned. Description: The width(and height) of window. color width:
	unsigned. Description: Color's bit wide. sum_stage: unsigned.
< >> v	Description: Stage of sum. full_win_bits: unsigned. Description: Width bits of full size of 2 .57.
	OK Cancel

图 2-9 二值模板匹配 IP 配置

接着双击 xlconstant_0 配置这个 IP, 作为排序滤波的排序输入。按照如下方式进行配置:

- Const Width: 4
- Const Val: 5 (十进制 5)

确认上述设置后,点击 OK 确定,整个过程如下图所示:

👎 Re-customize IP	×
Constant (1.1)	A
💕 Documentation 🛅 IP Location	
Show disabled ports	Component Name x1constant_0
	Const Width 4 Const Val 5
dout [3:0]	
< > v	
	0K Cancel
图 2-10	配置排序滤波输入

9 由于排序滤波也是在滑动窗口之后进行操作,所以它在本实验里的连接和实验 4

	标题	文档编号	版本	页
xingdeng	Lab5: 图像处理滤波器实验 2	XD-LAB-IMG-005	1.2	12 of 20
	作者	修改日期		11
	Joseph Xu	2019/2/14	公廾	

的均值滤波 IP 的连接方式类似,为此我们直接在实验 4 的基础上,进行替换连接即可,具体步骤如下:

首先删除均值滤波 IP, 鼠标左键选中 MeanFilter_0 这个 IP 后, 鼠标右键选择 Delete 删除, 整个过程如下图所示:



删除后的 IP 视图如下图所示:



图 2-12 删除均值滤波 IP 后的视图

10 然后我们开始连接这些 IP。接着我们将按照如下方式进行连接:

	标题	文档编号	版本	页	
vincence	Lab5: 图像处理滤波器实验 2	XD-LAB-IMG-005	1.2	13 of 20	
XIIIGDEIIG	作者	修改日期			
	Joseph Xu	2019/2/14		公开	

RankFilter_0:clk → dvi2rgb_0:PixelClk
RankFilter_0:rst_n → clk_wiz_0:resetn
RankFilter_0:rank[3:0] → xlconstant_0:dout[3:0]
RankFilter_0:in_enable → WindowGenerator_0:out_ready
RankFilter_0:in_data[71:0] → WindowGenerator_0:out_data[71:0]
RankFilter_0:out_ready → rgb2dvi_0:vid_pVDE
RankFilter_0:out_data[0:0] → xlconcat_0:In0[7:0]
连接后的效果如下图所示,请仔细检查各 IP 的端口连接是否正确,为了方便核

对,下图各种连接的高亮色图以示区别:

提示:下图仅作为检查连接使用,读者完全不必也按照图示颜色进行标注!!!



图 2-13 端口连接检查

11 连接检查无误后,即可保存 IP 模块化设计,在 Vivado 主界面点击保存图标, 如下图所示:



接着在 Source 子窗口中展开 design_1_wrapper,选中 design_1.bd,鼠标右键单击,在弹出的菜单中选择 Create HDL Wrapper,整个过程如下图所示:

	标题	文档编号	版本	页	
vincence	Lab5: 图像处理滤波器实验 2	XD-LAB-IMG-005	1.2	14 of 20	
XIIIGDEIIG	作者	修改日期		**	
	Joseph Xu	2019/2/14		公开	



图 2-15 创建实验顶层 Wrapper 文件

接着在弹出的对话框中,保持默认的选项不变,即选择 Let Vivado manage wrapper and auto-update,然后点击 OK,如下图所示:



图 2-18 点击 Yes 确认生成 bit 文件

大约经过 10 分钟后, Vivado 会弹出 Bitstream Generation Completed 的提示框,表示 bit 文件完成,选择 Open Hardware Manager,然后点击 OK,如下图所示:

	标题	文档编号	版本	页
vinence	Lab5: 图像处理滤波器实验 2	XD-LAB-IMG-005	1.2	15 of 20
XIIIGDEIIG	作者	修改日期		41
	Joseph Xu	2019/2/14		公廾



图 2-19 打开 Hardware Manager

接着我们需要对 SWORD4.0 硬件平台进行连接,根据下图示意依次进行如下操作:

- 1) 将电源线接上 SWORD4.0, 注意此时 SWORD4.0 的开关不要打开;
- 2) 将下载器模块插到 SWORD4.0 的 CN7-JTAG 处,并将下载器的 USB 端口连 到电脑;
- 3) 用一根 HDMI 线将 SWORD4.0 和 HDMI 信号源连接上;
- 4) 用一根 HDMI 线将 SWORD4.0 和 HDMI 显示器连接上;
- 5) 打开电源开关

	标题	文档编号	版本	页
vincence	Lab5: 图像处理滤波器实验 2	XD-LAB-IMG-005	1.2	16 of 20
XIIIGDEIIG	作者	修改日期		41
	Joseph Xu	2019/2/14		公廾



图 2-20 硬件连接对应位置

连接好后的效果如下图所示:



图 2-21 **实际硬件连接**

12 接着在 Hardware Manager 界面下,点击 Open target,在随之弹出的菜单中选择 Auto Connect,整个过程如下图所示:

	标题	文档编号	版本	页
	Lab5: 图像处理滤波器实验 2	XD-LAB-IMG-005	1.2	17 of 20
XIIIGDEIIG	作者	修改日期		*1
	Joseph Xu	2019/2/14		公开

🝌 lab1 - [D:/ImageLabs/lab5/lab1.xpr]	- Vivado 2014.4				
Eile Edit Flow Tools Mindow Lag	out <u>V</u> iew <u>H</u> elp				
🏄 😂 101 🖓 🐘 🐘 🗙 🔈 🕨 🎙	🏄 🔂 🛤 💵 🐘 🗙 🗞 🕨 🚵 🊳 % ∑ 🎼 Default Layout 🛛 👻 🎘 🍇 🔪 🔍				
Flow Navigator «	Hardware Manager - unconnected	点击Open target,			
< \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \	 No hardware target is open. Open 	a target 🗲 然后在磁出的菜单			
A Project Manager	Hardware 関	Auto Connect Probes			
6 Project Settings		Recent Targets			
👌 Add Sources	Name	Closed Targets			
🖓 Language Templates		Open New Target			
🖵 IP Catalog					

图 2-22 Open target

接着 Hardware Manager 会自动连接下载器并扫描 JTAG,一切正常的话,会显示出扫描到的目标器件: xc7k325t,鼠标右键单击目标器件,在弹出的窗口中选择 Program Device,整个过程如下图所示:



图 2-23 Program Device

在弹出的对话框中,保持默认设置,直接点击 Program,如下图所示:

提示:如果 Debug probe file 这一栏有输入,可忽略之。

	标题	文档编号	版本	页
vinence	Lab5: 图像处理滤波器实验 2	XD-LAB-IMG-005	1.2	18 of 20
XIIIGDEIIG	作者	修改日期		1)
	Joseph Xu	2019/2/14		公廾

上海星灯智能科技有限公司

🝌 Program Device	×
Select a bitstream ; optionally select a the bitstream progr	programming file and download it to your hardware device. You can debug probes file that corresponds to the debug cores contained in amming file.
Bitstre <u>a</u> m file: Debug probes file:	D:/ImageLabs/lab5/lab1.runs/impl_1/design_1_wrapper.bit 1 … D:/ImageLabs/lab5/lab1.runs/impl_1/debug_nets.ltx 这一行忽略 2 Program Cancel

图 2-24 烧写目标器件

随着如下图所示进度条显示 100%,即表示目标器件烧写完毕。即可进入实验现象观察阶段。

👃 Program Device				×
Yrogramming the device			45%	<u>C</u> ancel <u>B</u> ackground
	图 2-25	编程进度条		

	标题	文档编号	版本	页
vincence	Lab5: 图像处理滤波器实验 2	XD-LAB-IMG-005	1.2	19 of 20
XIIIGDEIIG	作者	修改日期		11 -
	Joseph Xu	2019/2/14		公廾
a				

3. 排序滤波实验结果

首先我们让 HDMI 信号源显示一幅带椒盐噪声的图片(位于同文件夹下的 J20-Salty.png),接着我们将连接 HDMI 输入端口的 HDMI 线在信号源端重新插拔一次,以便让信号源设备重新检测(Detect)一下接收设备,一切正常的话,我们即可在 HDMI 显示器上看到经过均值滤波后的显示画面。



图 3-1 原始画面



图 3-2 排序滤波显示结果

	标题	文档编号	版本	页	
vincence	Lab5: 图像处理滤波器实验 2	XD-LAB-IMG-005	1.2	20 of 20	
XIIIGDEIIG	作者	修改日期		1 	
	Joseph Xu	2019/2/14		公开	